

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

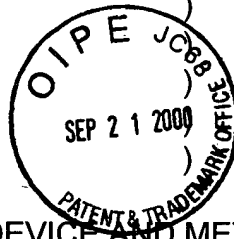
In re Application of

Yoshio OZAWA et al.

Serial No.: 09/559,757

Filed: April 27, 2000

For: SEMICONDUCTOR DEVICE AND METHOD OF MANUFACTURE
THEREOF



Group Art Unit: Not Assigned

Examiner: Not Assigned

#5
3/13/01
M. Lugo

CLAIM FOR PRIORITY

Assistant Commissioner for Patents
Washington, D.C. 20231

Sir:

Under the provisions of 35 U.S.C. § 119, Applicants hereby claim the benefit of the filing date of Japanese Patent Application Nos. 11-121689, filed on April 28, 1999, and 2000-122018, filed on April 24, 2000, for the above-identified U.S. patent application.

In support of Applicants' claim for priority, filed herewith a certified copy of each of the above.

Respectfully submitted,

FINNEGAN, HENDERSON, FARABOW,
GARRETT & DUNNER, L.L.P.

By: 

Richard V. Burgujian
Reg. No. 31,744

Dated: September 21, 2000
RVB/FPD/sci
Enclosure

LAW OFFICES

FINNEGAN, HENDERSON,
FARABOW, GARRETT,
& DUNNER, L.L.P.
1300 I STREET, N. W.
WASHINGTON, DC 20005
202-408-4000

日 本 国 特 許 庁
PATENT OFFICE
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application:

1999年 4月28日

出 願 番 号
Application Number:

平成11年特許願第121689号

出 願 人
Applicant(s):

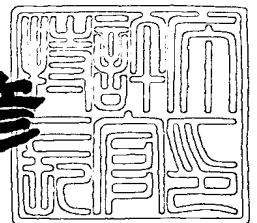
株式会社東芝



2000年 4月21日

特 許 庁 長 官
Commissioner,
Patent Office

近 藤 隆 彦



出証番号 出証特2000-3030055

【書類名】 特許願

【整理番号】 A009902055

【提出日】 平成11年 4月28日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 21/00

【発明の名称】 半導体装置の製造方法

【請求項の数】 4

【発明者】

 【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横
 浜事業所内

 【氏名】 小澤 良夫

【発明者】

 【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横
 浜事業所内

 【氏名】 水津 康正

【特許出願人】

 【識別番号】 000003078

 【氏名又は名称】 株式会社 東芝

【代理人】

 【識別番号】 100058479

 【弁理士】

 【氏名又は名称】 鈴江 武彦

 【電話番号】 03-3502-3181

【選任した代理人】

 【識別番号】 100084618

 【弁理士】

 【氏名又は名称】 村松 貞男

【選任した代理人】

 【識別番号】 100068814

【弁理士】

【氏名又は名称】 坪井 淳

【選任した代理人】

【識別番号】 100092196

【弁理士】

【氏名又は名称】 橋本 良郎

【選任した代理人】

【識別番号】 100091351

【弁理士】

【氏名又は名称】 河野 哲

【選任した代理人】

【識別番号】 100088683

【弁理士】

【氏名又は名称】 中村 誠

【選任した代理人】

【識別番号】 100070437

【弁理士】

【氏名又は名称】 河井 将次

【手数料の表示】

【予納台帳番号】 011567

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置の製造方法

【特許請求の範囲】

【請求項 1】

半導体基板上にシリコンおよび窒素を含む絶縁膜を形成する工程と、
前記絶縁膜上にシリコンを含む導電膜を形成する工程と、
前記絶縁膜の一部が露出するべく前記導電膜を加工する工程と、
この加工によって露出した面をオゾンまたは酸素ラジカルを含む雰囲気中で酸化する工程と

を有することを特徴とする半導体装置の製造方法。

【請求項 2】

半導体基板上にシリコンおよび窒素を含む絶縁膜を形成する工程と、
前記絶縁膜上にシリコンを含む導電膜を形成する工程と、
前記絶縁膜の一部が露出するべく前記導電膜を加工する工程と、
この加工によって露出した面をオゾンまたは酸素ラジカルを含む雰囲気中で酸化する工程と、

この酸化によって形成された絶縁膜に対して窒化および追加酸化の少なくとも一方を施す工程と

を有することを特徴とする半導体装置の製造方法。

【請求項 3】

前記絶縁膜は、シリコン酸窒化膜またはシリコン窒化膜であることを特徴とする請求項 1 または請求項 2 に記載の半導体装置の製造方法。

【請求項 4】

前記絶縁膜はゲート絶縁膜であり、前記導電膜を加工してゲート電極を形成することを特徴とする請求項 1 または請求項 2 に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、ゲート電極の後酸化工程のような形状改善のための酸化工程を有す

る半導体装置の製造方法に関する。

【0002】

【従来の技術】

MOSトランジスタのソース・ドレイン拡散層とゲート電極は、これらの間に介在するゲート絶縁膜で電氣的に絶縁されているが、ゲート電極の下端部ではその鋭利な形状のために電界が集中し、ソース・ドレイン拡散層とゲート電極との間に絶縁不良が起こり易い。

【0003】

さらに、ゲート電極の下端部近傍のゲート絶縁膜は、ゲート電極の形成時におけるエッチングや、ソース・ドレイン拡散層の形成時におけるイオン注入によってプロセスダメージを受ける。そのため、ゲート絶縁膜の絶縁性は劣化し、そのことが上記絶縁不良を助長している。

【0004】

これらの状況、MOSトランジスタのゲート電極の下端部だけではなく、フラッシュメモリセルの浮遊ゲート電極の下端部においても見られる。すなわち、鋭利な端部形状を有するゲート電極がゲート絶縁膜を介して半導体基板と対向する、絶縁ゲート型トランジスタの一般において見られる。

【0005】

この種の絶縁不良の問題を解決する従来技術として、後酸化プロセスが知られている。このプロセスは、図7(a)に示すように、シリコン基板51上にシリコン酸化膜52、不純物を含む導電性を有する多結晶シリコン膜53を順次形成し、多結晶シリコン膜53を所定のパターンに加工した後、図7(b)に示すように、酸素(O_2)雰囲気中で熱酸化を行い、後酸化膜54を形成する。

【0006】

その結果、多結晶シリコン膜53の鋭利な形状の下端部が丸まり、同下端部における電界が緩和する。

【0007】

さらに、上記熱酸化の際に起こるバースピーク酸化により、多結晶シリコン膜53の下端部とシリコン基板51との距離が広がることによっても、上記下端部

での電界は弱まる。すなわち、基板・下端部間が広がっても電界の分布自身は変わらないが、その強度は全体として弱くなるので、下端部における電界が緩和する。

【0008】

さらにまた、多結晶シリコン膜 5 3 の端部近傍のプロセスダメージを受けているシリコン酸化膜 5 2 は、追加酸化である後酸化によりプロセスダメージが回復し、膜質が改善するので、絶縁性が向上する。

【0009】

この後酸化プロセスは、図 8 に示すようなオーバーエッチング構造に対しても同様の作用を有する。図 8 は、多結晶シリコン膜 5 3 のパターニングの際に、除去すべき多結晶シリコン膜 5 3 下のシリコン酸化膜 5 2 も除去され、さらにその下の基板表面もエッチングされた構造を示している。

【0010】

以上述べたように、後酸化プロセスを用いれば、多結晶シリコン膜 5 3 の下端部における電界集中に起因する絶縁不良を回避することが可能である。しかし、シリコン酸化膜 5 2 の代わりに、シリコン酸窒化膜またはシリコン窒化膜を用いた場合には、以下に説明するように事情が異なる。

【0011】

図 9 に、いろいろな窒素プロファイルを有するシリコン酸化膜（シリコン酸窒化膜）5 5 の後酸化後の形状を示す。図中、斜線部は窒素の高濃度領域を示している。

【0012】

シリコン酸窒化膜 5 5 中に窒素が含有されていると、多結晶シリコン膜 5 3 の下端部には、シリコン酸窒化膜 5 5 を通っての酸化剤の供給が抑制されるため、多結晶シリコン膜 5 3 の下端部の丸まりは不十分となる。

【0013】

ここで、シリコン酸窒化膜 5 5 中の窒素濃度が高い場合には、特にシリコン酸窒化膜 5 5 中の多結晶シリコン膜 5 3 側の窒素濃度が高い場合には、多結晶シリコン膜 5 3 の下端部の酸化が進まなくなるため、多結晶シリコン膜 5 3 の下端部

は後酸化前よりも尖った形状になってしまう（図 9（b），図 9（c））。

【0014】

また、シリコン酸窒化膜 55 中に窒素が含有されていると、シリコン基板 51 には、シリコン酸窒化膜 55 を通っての酸化剤の供給が抑制されるため、バースピーク酸化が不十分になる。

【0015】

ここで、シリコン酸窒化膜 55 中の窒素濃度が高い場合には、特にシリコン酸窒化膜 55 中のシリコン基板 51 側の窒素濃度が高い場合には、バースピーク酸化が進まなくなるため、多結晶シリコン膜 53 の下端部とシリコン基板 51 との距離は広がらなくなる（図 9（a）～図 9（c））。

【0016】

一方、多結晶シリコン膜 53 の加工後に、露出したシリコン酸窒化膜 55 の表面側に窒素が含有されていると、シリコン酸窒化膜 55 中への酸化剤供給が抑制されるため、プロセスダメージ回復による膜質改善が不十分になる（図 9（b），図 9（c））。

【0017】

以上述べた問題は、図 10 に示すようなオーバーエッチング構造に対しても、同様に起こる。

【0018】

【発明が解決しようとする課題】

上述の如く、ゲート電極の下端部における電界を緩和するための技術として後酸化が知られていた。従来の後酸化は f、ゲート絶縁膜がシリコン酸化膜の場合には有効であるがゲート絶縁膜がシリコン酸窒化膜やシリコン窒化膜の場合には、膜中に存在する窒素によって後酸化が十分に進行せず、期待する通りの形状変化が得られず、その結果として絶縁不良を効果的に防止することができないという問題があった。

【0019】

本発明は上記事情を考慮してなされたもので、シリコンおよび窒素を含む絶縁膜上にパターニングされたシリコンを含む導電膜が形成されてなる構造における

同導電膜の端部における絶縁不良を効果的に防止できる半導体装置の製造方法を提供することを目的とする。

【0020】

【課題を解決するための手段】

【構成】

本発明の骨子は、電界緩和に有効な形状に変えるために、オゾンまたは酸素ラジカルを含む雰囲気の後酸化を行う。

【0021】

すなわち、上記目的を達成するために、本発明に係る半導体装置の製造方法は、半導体基板上にシリコンおよび窒素を含む絶縁膜を形成する工程と、前記絶縁膜上にシリコンを含む導電膜を形成する工程と、前記絶縁膜の一部が露出するべく前記導電膜を加工する工程と、この加工によって露出した面をオゾンまたは酸素ラジカルを含む雰囲気中で酸化する工程とを有することを特徴とする。

【0022】

また、本発明に係る他の半導体装置の製造方法は、半導体基板上にシリコンおよび窒素を含む絶縁膜を形成する工程と、前記絶縁膜上にシリコンを含む導電膜を形成する工程と、前記絶縁膜の一部が露出するべく前記導電膜を加工する工程と、この加工によって露出した面をオゾンまたは酸素ラジカルを含む雰囲気中で酸化する工程と、この酸化によって形成された絶縁膜に対して窒化および追加酸化の少なくとも一方を施す工程とを有することを特徴とする。

【0023】

【作用】

本発明者は、研究の結果、窒素およびシリコンを含む絶縁膜を、オゾンまたは酸素ラジカルを含む雰囲気中で酸化すると、絶縁膜中の窒素が脱離しながら酸化が進行して膜厚が増加することを見出した。

【0024】

図5および図6に実験結果の一例を示す。この実験では、シリコンウェハ表面に形成された厚さ7nmの熱酸化膜（シリコン酸化膜）を、アンモニア雰囲気での950℃の熱処理により窒化して、シリコン酸化膜中に窒素が導入された絶縁

膜（シリコン酸窒化膜）を有する実験試料を用意した。

【0025】

そして、この実験試料を縦型バッチ式酸化炉にて、酸素ガスを導入しながら、900℃、30分、13kPaの条件で酸化した場合と、オゾン／酸素混合ガス（オゾン5%）を導入しながら、900℃、30分、130Paの条件で酸化した場合の膜中の窒素および酸素の濃度プロファイルを、SIMS分析で比較した（SIMS分析は、上記酸化の後、厚さ10nmの多結晶シリコン膜をシリコン酸窒化膜上に形成してから行った。）

図5は酸素ガスで酸化した場合のSIMSの分析結果、図6はオゾン／酸素混合ガスで酸化した場合のSIMSの分析結果を示している。これらの図から、オゾンを含む雰囲気中で酸化する場合は、オゾンを含まない雰囲気中で酸化する場合に比べて、シリコン酸窒化膜中の表面側の窒素が脱離し、酸化の進行による膜厚増加が顕著になることが分かる。

【0026】

アンモニアの代わりに、亜酸化窒素（ N_2O ）または一酸化窒素（NO）を用いてシリコン酸化膜中に窒素を導入した場合は、シリコン酸化膜中の窒素はシリコン基板との界面側に高濃度層を形成する。この場合でも、オゾンを含む雰囲気中で酸化することにより、シリコン酸窒化膜中の基板側の窒素濃度の低下が顕著になり、酸化の進行による膜厚増加が顕著になることが分かった。

【0027】

また、シリコン酸窒化膜の代わりに、シリコン窒化膜を形成した実験試料の場合でも、オゾンを含む雰囲気中で酸化することにより、シリコン窒化膜中の表面側窒素の脱離が顕著になり、膜表面での酸化の進行による膜厚増加が顕著になることが分かった。

【0028】

さらに、以上の現象は、オゾンの代わりに、酸素ラジカルを含む雰囲気中で酸化した場合でも、同様に起こることが確かめられた。

【0029】

したがって、本発明のように、上述したような作用効果を奏するオゾンまたは

酸素ラジカルを含む雰囲気中で酸化を行えば、シリコンおよび窒素を含む絶縁膜上にパターンニングされたシリコンを含む導電膜が形成された構造における同導電膜の端部で酸化が十分に進み、電界緩和に有効な丸まり形状を形成できるようになるので、絶縁不良を効果的に防止できるようになる。

【0030】

【発明の実施の形態】

以下、図面を参照しながら本発明の実施の形態（以下、実施形態という）を説明する。

【0031】

（第1の実施形態）

図1は、本発明の第1の実施形態に係るMOSトランジスタの製造方法を示す工程断面図である。

【0032】

まず、図1（a）に示すように、シリコン基板1の平坦に仕上げられた表面に熱酸化法で厚さ3nmのシリコン酸化膜（不図示）を形成し、続いて一酸化窒素（NO）雰囲気中で熱処理を行い、基板界面側に $5 \times 10^{14} \text{ cm}^{-2}$ の窒素を導入してゲート絶縁膜としてのシリコン酸窒化膜2を形成する。

【0033】

次に図1（b）に示すように、原料ガスとしてモノシランを用いたLPCVD法により、シリコン酸窒化膜2上に厚さ150nmのアンドープの多結晶シリコン膜を形成し、続いてこのアンドープの多結晶シリコン膜に不純物としてボロン（B）をイオン注入することによって、ゲート電極となる導電性を有する多結晶シリコン膜3を形成する。ここで、不純物の導入は、熱拡散法を用いても良い。また、不純物として磷（P）、砒素（As）等のドナーを用いても良い。

【0034】

次に図1（c）に示すように、多結晶シリコン膜3上にフォトリジストを塗布し、写真蝕刻法を用いてパターンニングすることによって、ゲート電極形成用のレジストパターン4を形成する。

【0035】

次に図1 (d) に示すように、レジストパターン4をマスクとして用い、多結晶シリコン膜3をドライエッチングにてパターニングした後、アッシング法にてレジストパターン4を除去する。

【0036】

次に図1 (e) に示すように、縦型バッチ式酸化炉にて、オゾン／酸素混合ガス（オゾン5%）を導入しながら、900℃、10分、130Paの条件で熱処理を行い、多結晶シリコン膜（ゲート電極）3の表面（側面、上面）およびシリコン酸窒化膜（ゲート絶縁膜）2の露出面を酸化して、後酸化膜5を形成する。

【0037】

ここで、後酸化膜5の膜厚は、ゲート電極3の側壁部で5nm程度となる。また、後酸化の酸化温度は、シリコン酸窒化膜2中の窒素の脱離効率を高め、ゲート電極5の下端部の曲率半径を大きくし、かつ短時間でのシリコン酸窒化膜2の欠陥回復を可能にするためには、900℃以上の高温が望ましい。

【0038】

また、酸化圧力は、雰囲気中のオゾンが失活しないように、1kPa以下の低圧が望ましい。なお、この後酸化は、続いて行うソース・ドレイン拡散層6の形成後に行っても良い。

【0039】

最後に、図1 (f) に示すように、ゲート電極3をマスクに用いて不純物イオンを基板表面に注入した後、ランプアニール法により不純物イオンの活性化を行うことによって、ソース・ドレイン拡散層6をセルフアライン的に形成する。この後、周知の方法に従って図示しない層間絶縁膜、金属配線等を形成して、MOSトランジスタが完成する。

【0040】

図2 (a) に、本実施形態の方法により形成した、ゲート電極3の下端部近傍の拡大図を示す。図中、斜線部は窒素の高濃度領域を示している。従来技術の酸素ガス雰囲気の後酸化した場合の図9 (a) と比較して、本発明では、オゾンを含む雰囲気の後酸化しているので、ゲート酸窒化膜2中のゲート電極3の下端部近傍（およびゲート電極除去領域）の窒素が脱離し、シリコン基板1の酸化の進

行によるバースピークの形成が顕著になる。

【0041】

その結果、ゲート電極3の下端部の形状が十分に丸まるとともに、ゲート電極3の下端部とソース・ドレイン拡散層6との間の距離が長くなって、ゲート電極3の下端部およびソース・ドレイン拡散層6の電界が緩和され、素子の絶縁性が向上する。

【0042】

なお、図1(e)の工程では、オゾン雰囲気での熱処理によって後酸化を行っているが、酸素ラジカル雰囲気での熱処理でも同様の効果が得られる。また、オゾンや酸素ラジカルを用いた酸化で後酸化膜厚が不足した場合は、後酸化後に通常の酸化を追加すれば、図2(b)に示すように、所望の厚さの後酸化膜5を形成できる。

【0043】

さらにまた、オゾンや酸素ラジカルを用いた酸化でゲート電極3の下端部近傍のシリコン酸窒化膜(ゲート絶縁膜)2中の窒素が脱離することが望ましくない場合、例えば窒素の脱離によるキャリア耐性の低下、高電界ストレス耐性の低下あるいはボロン等の不純物の拡散抑制能力の低下が懸念される場合には、後酸化の後に一酸化窒素等の窒化性ガス雰囲気での熱処理など、通常の窒素導入プロセスを追加すれば、図2(c)に示すように、ゲート電極3の下端部近傍のシリコン酸窒化膜(ゲート絶縁膜)2中に窒素を導入することができる。

【0044】

また、図1(d)の工程で、多結晶シリコン膜3をパターニングする際に、シリコン酸窒化膜2までエッチングされている場合の、ゲート電極3の下端部近傍の拡大図を図2(d)に示す。図中、斜線部は窒素の高濃度領域を示している。従来技術の酸素ガス雰囲気での後酸化した場合の図10(a)と比較して、本発明では、オゾンを含む雰囲気での酸化しているので、シリコン酸窒化膜2中のシリコン基板1の上端部近傍の窒素が脱離し、酸化が十分に進行するため、シリコン基板1の上端部の丸まり形状が顕著になる。その結果、ゲート電極2の下端部およびソース・ドレイン拡散層6の電界が緩和され、素子の絶縁性が向上する。

【0045】

図1(a)の工程では、熱酸化膜(不図示)を一酸化窒素雰囲気中で熱処理してシリコン酸窒化膜2を形成したが、亜酸化窒素(N_2O)雰囲気中で熱処理した場合のように、シリコン酸窒化膜中の窒素が基板側の界面に高濃度層を形成するような場合にも、上記と同様の効果が得られる。

【0046】

また、熱酸化膜をアンモニア(NH_3)雰囲気中で熱処理した場合のように、シリコン酸窒化膜中の窒素が基板側の界面とゲート電極側の界面に高濃度層を形成するような場合にも、上記と同様の効果が得られる。

【0047】

また、シリコン窒化膜をゲート絶縁膜として用いた場合も、同様の効果を得ることが可能である。

【0048】

(第2の実施形態)

図3は、本発明の第2の実施形態に係るフラッシュメモリセルの製造方法を示す工程断面図である。

【0049】

まず、図3(a)に示すように、シリコン基板11の平坦に仕上げられた表面に熱酸化法で厚さ8nmのシリコン酸化膜(不図示)を形成し、続いてアンモニア雰囲気中で熱処理を行い、基板界面側と膜表面側にそれぞれ $8 \times 10^{14} \text{ cm}^{-2}$ の高濃度の窒素を導入し、トンネル絶縁膜としてのシリコン酸窒化膜12を形成する。

【0050】

次に図3(b)に示すように、原料ガスとしてモノシランとホスフィンを用いたLPCVD法により、シリコン酸窒化膜12上に、浮遊ゲート電極となる、リンがドーパされた厚さ150nmの導電性を有する多結晶シリコン膜13を形成する。ここで、不純物の導入は熱拡散法を用いて行って良い。また、不純物としての他のドーパントを用いても良い。この後、同図(b)に示すように、多結晶シリコン膜13上に電極間絶縁膜14、制御ゲート電極となる導電膜(例えば不

純物を含む多結晶シリコン膜) 1 5 を周知の方法に従って順次形成する。

【0 0 5 1】

次に図 3 (c) に示すように、図示しないレジストパターンをマスクとして用い、導電膜 1 5、電極間絶縁膜 1 4、多結晶シリコン膜 1 3 をドライエッチングにてパターニングした後、アッシング法にて上記レジストパターンを除去する。

【0 0 5 2】

次に図 3 (d) に示すように、リモートプラズマ酸化炉にて、酸素ラジカルを導入しながら、9 0 0 ℃、1 0 分、1 3 0 P a の条件で熱処理を行い、多結晶シリコン膜 (浮遊ゲート電極) 1 3 の側壁面およびシリコン酸窒化膜 (トンネル絶縁膜) 1 2 の露出面を酸化して、後酸化膜 1 6 を形成する。なお、この後酸化は、続いて行うソース・ドレイン拡散層 1 7 の形成後に行っても良い。

【0 0 5 3】

ここで、後酸化膜 1 6 の膜厚は、多結晶シリコン膜 (浮遊ゲート電極) 1 3 の側壁部で 1 0 n m 程度となる。この後酸化の酸化温度は、シリコン酸窒化膜 (トンネル絶縁膜) 1 2 中の窒素の脱離効率を高め、浮遊ゲート電極 1 3 の下端部の曲率半径を大きくし、かつ短時間でのトンネル絶縁膜 1 2 の欠陥回復を可能にするためには、9 0 0 ℃以上の高温が望ましい。

【0 0 5 4】

また、制御ゲート電極 1 5 がシリコン膜ではなく、金属膜や金属シリサイド膜等の導電膜である場合のように、制御ゲート電極 1 5 を酸化したくないときは、その導電膜の露出面をシリコン窒化膜等のように酸化剤に対してバリア性を有する膜で覆ってから、後酸化を行うと良い。

【0 0 5 5】

次に図 3 (e) に示すように、制御ゲート電極 1 5 をマスクに用いて不純物イオンを基板表面に注入した後、ランプアニール法により不純物イオンの活性化を行うことによって、ソース・ドレイン拡散層 1 7 をセルフアライン的に形成する。この後、周知の方法に従って図示しない層間絶縁膜、金属配線等を形成して、MOS トランジスタが完成する。

【0 0 5 6】

図 4 (a) に、本実施形態の方法により、浮遊ゲート電極 1 3 の下端部近傍の拡大図を示す。図中、斜線部は窒素の高濃度領域を示している。従来技術の酸素ガス雰囲気の後酸化した場合の図 9 (b) と比較して、本発明では、酸素ラジカルを含む雰囲気の後酸化しているので、シリコン酸窒化膜 1 2 中の浮遊ゲート電極 1 3 の下端部近傍（および浮遊ゲート電極除去領域）の窒素が脱離し、浮遊ゲート電極 1 3 の下端部およびシリコン基板 1 1 の酸化の進行が顕著になる。

【0057】

その結果、浮遊ゲート電極 1 3 の下端部の曲率の増大およびシリコン基板 1 1 のパーズビーク酸化の進行によって、浮遊ゲート電極 1 3 の下端部およびソース・ドレイン拡散層 1 7 の電界が緩和され、さらに浮遊ゲート電極 1 3 の下端部近傍のシリコン酸窒化膜 1 2 中のプロセスダメージが回復することによって、絶縁性が向上する。

【0058】

なお、図 3 (d) の工程では、酸素ラジカル雰囲気の後酸化を行っているが、オゾン雰囲気の熱処理でも同様の効果が得られる。また、オゾンや酸素ラジカルを用いた酸化で後酸化膜厚が不足の場合は、後酸化の後に通常の酸化を追加しても良い。

【0059】

さらにまた、オゾンや酸素ラジカルを用いた酸化で浮遊ゲート電極 1 3 の下端部近傍のシリコン酸窒化膜（トンネル絶縁膜） 1 2 中の窒素が脱離することが望ましくない場合には、後酸化の後に一酸化窒素等の窒化性ガス雰囲気の熱処理など、通常の窒素導入プロセスを追加して、窒素を導入しても良い。

【0060】

また、図 3 (c) の工程で、多結晶シリコン膜 1 3 をパターニングする際に、シリコン基板 1 1 までエッチングされている場合の、浮遊ゲート電極 1 3 の下端部近傍の拡大図を図 4 (b) に示す。図中、斜線部は窒素の高濃度領域を示している。

【0061】

従来技術の酸素ガス雰囲気の後酸化した場合の図 10 (b) と比較して、本発

明では、酸素ラジカルを含む雰囲気中で酸化しているので、シリコン酸化膜（トンネル絶縁膜）12中の基板界面側と膜表面側の窒素が脱離し、酸化が十分に進行するため、浮遊ゲート電極13の下端部およびシリコン基板11の上端部の丸まり形状が顕著になる。

【0062】

その結果、浮遊ゲート電極13の下端部およびソース・ドレイン拡散層17の電界が緩和され、さらにシリコン酸化膜（トンネル絶縁膜）12の基板界面側と膜表面側の近傍部分のプロセスダメージが回復するため、絶縁性が向上する。また、シリコン酸化膜をトンネル絶縁膜として用いた場合も、同様の効果を得ることが可能である。

【0063】

【発明の効果】

以上詳説したように本発明によれば、酸化種としてオゾンまたは酸素ラジカルを用いることによって、シリコンおよび窒素を含む絶縁膜上にパターンニングされたシリコンを含む導電膜が形成された構造における同導電膜の端部を十分に酸化でき、これにより電界緩和に有効な丸まり形状を形成できるようになるので、絶縁不良を防止できるようになる。

【図面の簡単な説明】

【図1】

本発明の第1の実施形態に係るMOSトランジスタの製造方法を示す工程断面図

【図2】

図1のMOSトランジスタのゲート電極の下端部近傍の拡大図

【図3】

本発明の第2の実施形態に係るフラッシュメモリセルの製造方法を示す工程断面図

【図4】

図3のフラッシュメモリセルの浮遊ゲート電極の下端部近傍の拡大図

【図5】

酸素雰囲気中で酸化を行ったシリコン酸窒化膜のシリコン、酸素および窒素の濃度プロファイルを示す図

【図 6】

オゾン／酸素混合ガス雰囲気中で酸化を行ったシリコン酸窒化膜のシリコン、酸素および窒素の濃度プロファイルを示す図

【図 7】

従来の後酸化プロセスを示す工程断面図

【図 8】

図 7 の後酸化プロセスの変形例を示す図

【図 9】

図 7 の従来の後酸化プロセスの問題点を示す図

【図 1 0】

図 8 の従来の後酸化プロセスの問題点を示す図

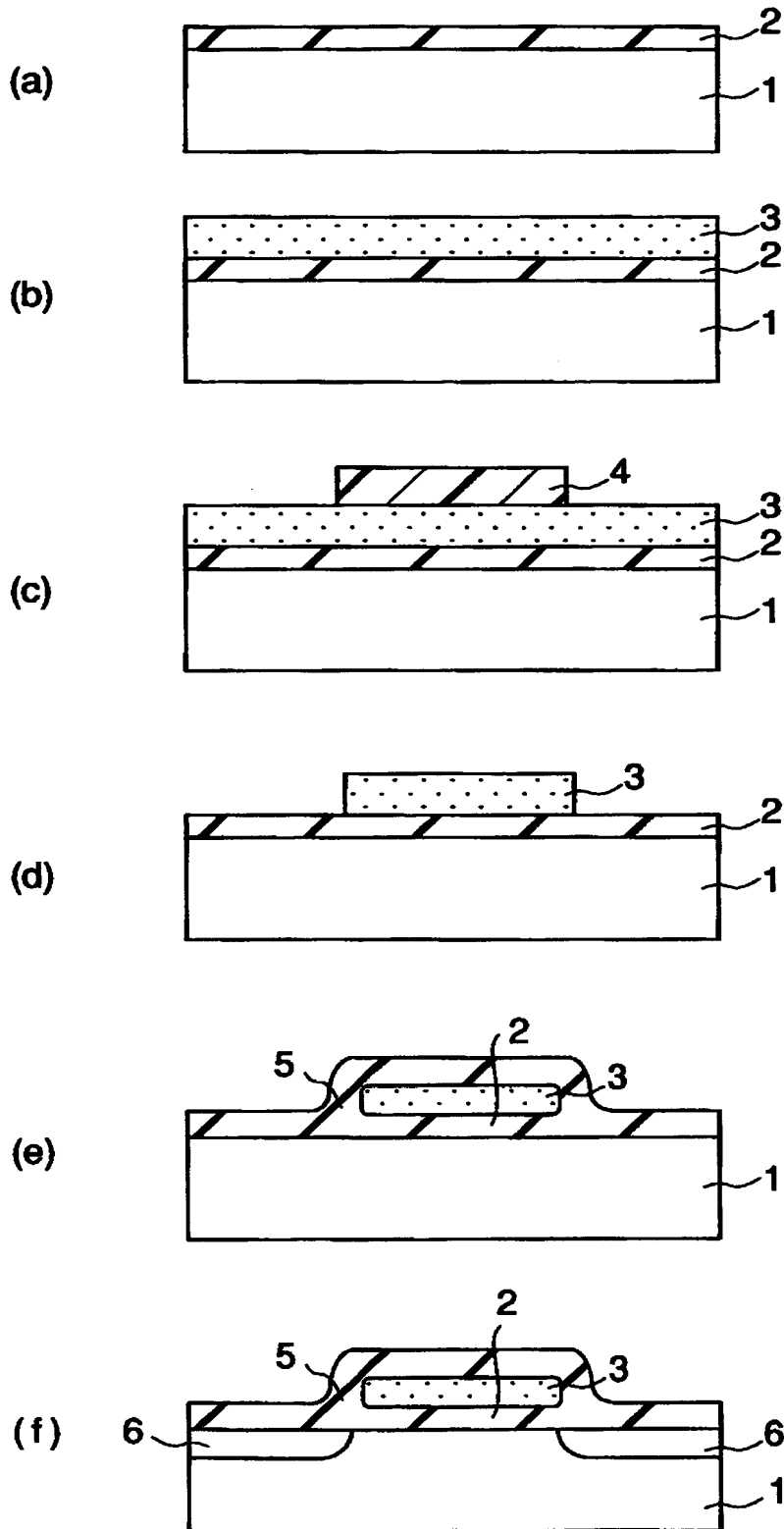
【符号の説明】

- 1 …シリコン基板
- 2 …シリコン酸窒化膜（ゲート絶縁膜）
- 3 …多結晶シリコン膜（ゲート電極）
- 4 …レジストパターン
- 5 …後酸化膜
- 6 …ソース・ドレイン拡散層
- 1 1 …シリコン基板
- 1 2 …シリコン酸窒化膜（トンネル絶縁膜）
- 1 3 …多結晶シリコン膜（浮遊ゲート電極）
- 1 4 …電極間絶縁膜
- 1 5 …導電膜（制御ゲート電極）
- 1 6 …後酸化膜
- 1 7 …ソース・ドレイン拡散層

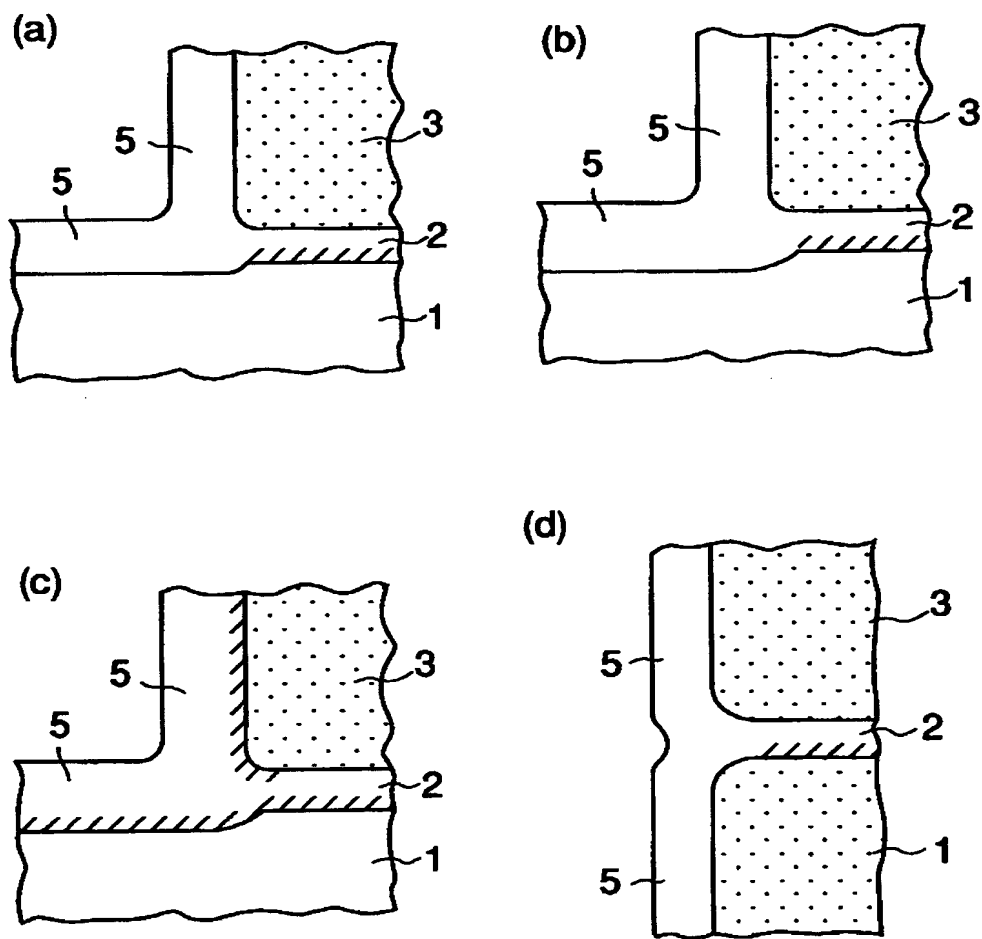
【書類名】

図面

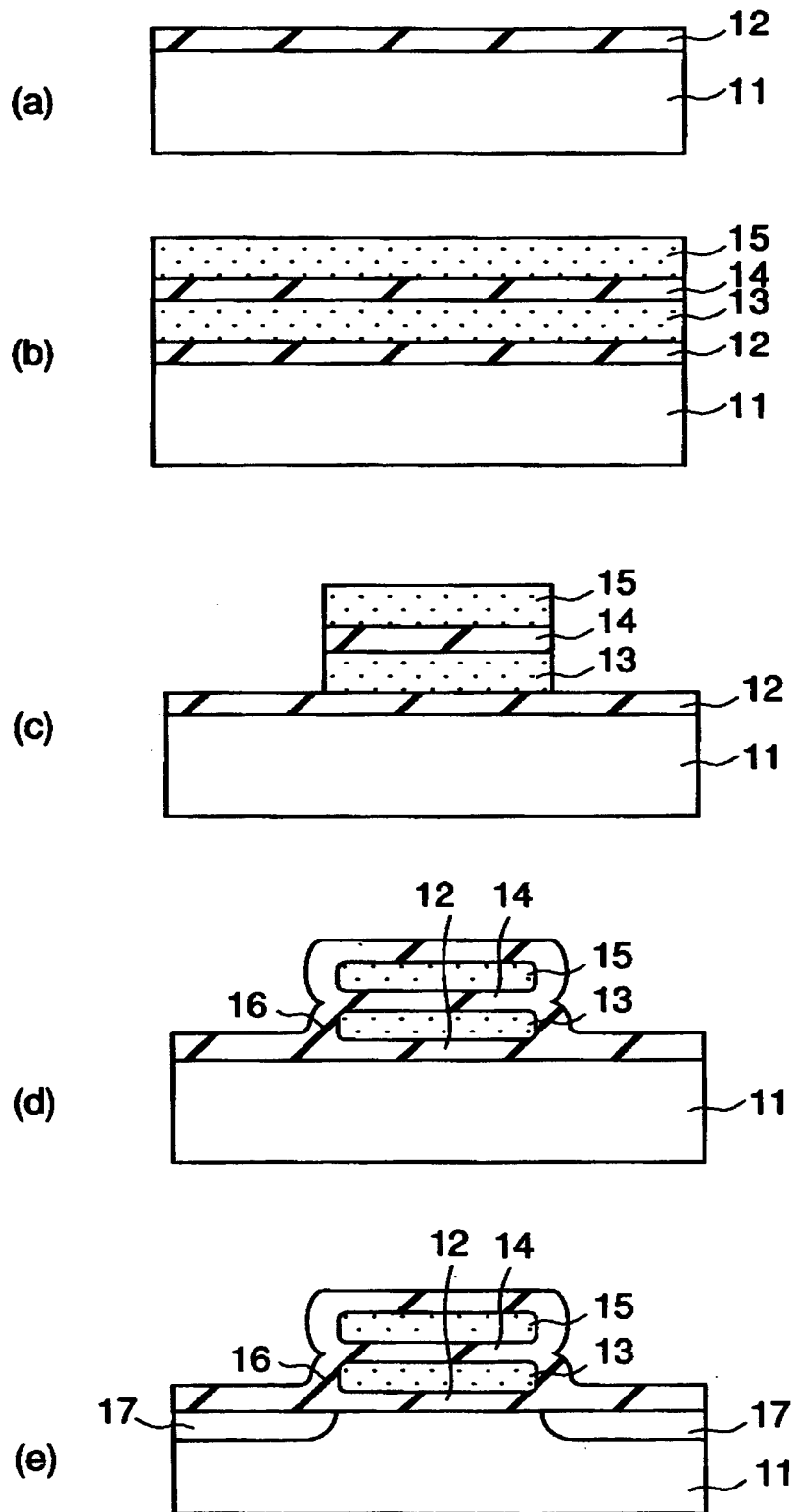
【図 1】



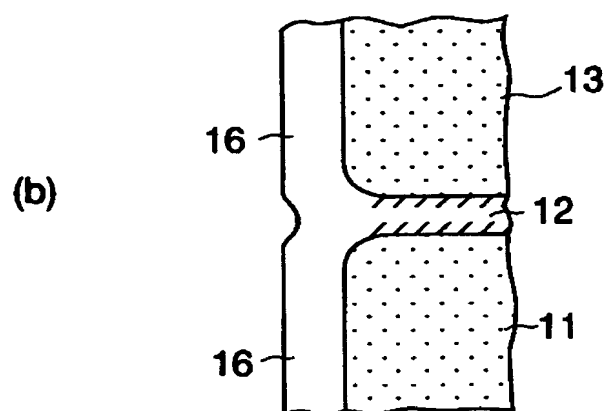
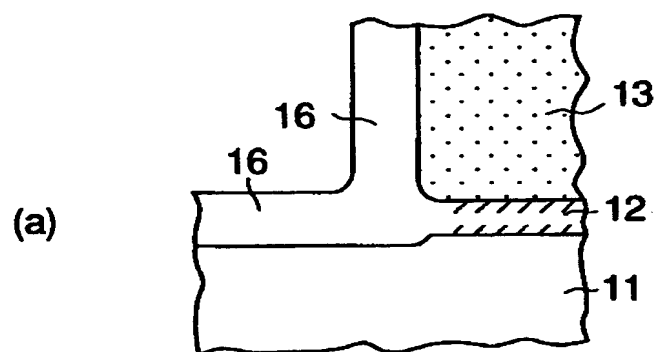
【図 2】



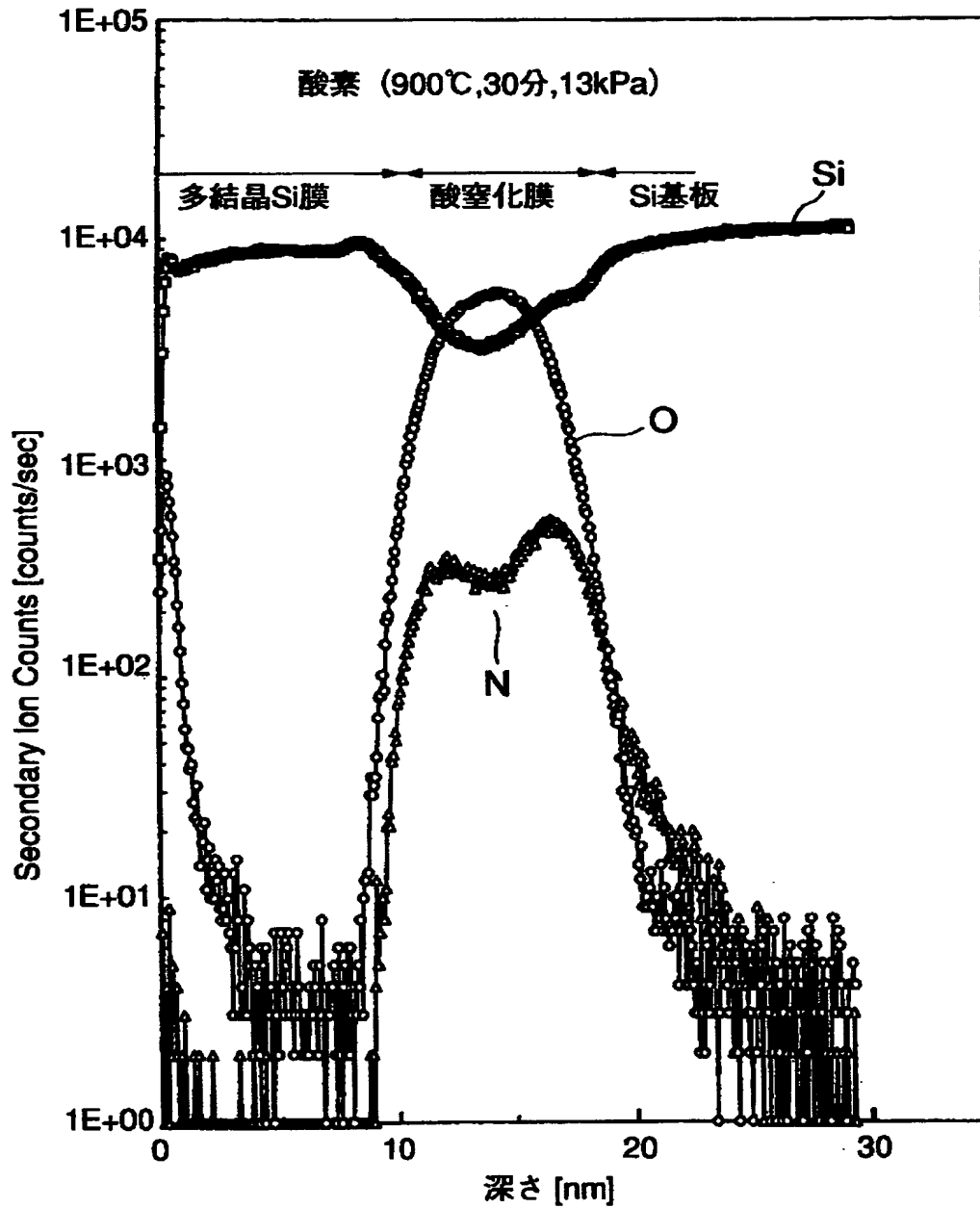
【図 3】



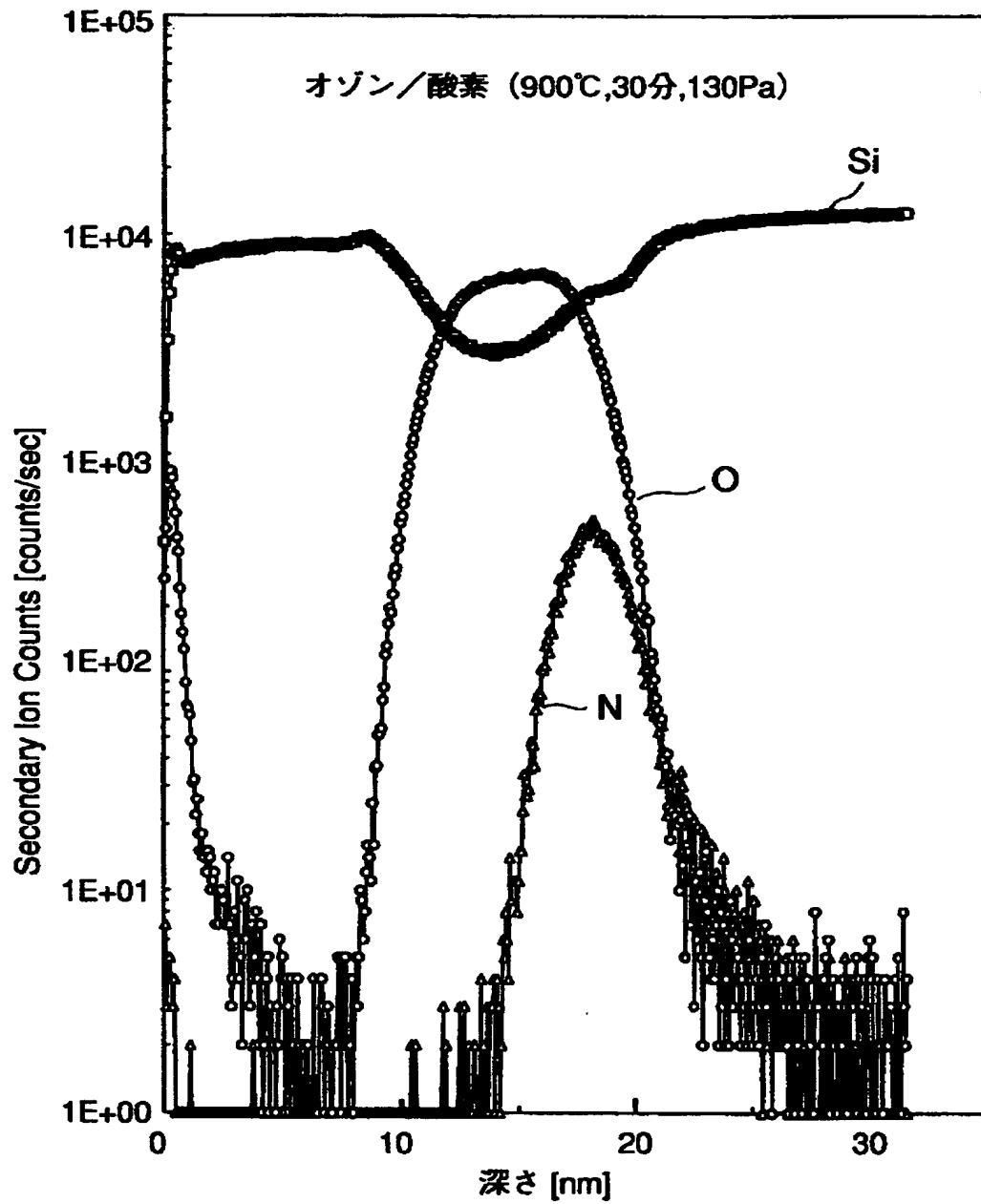
【図 4】



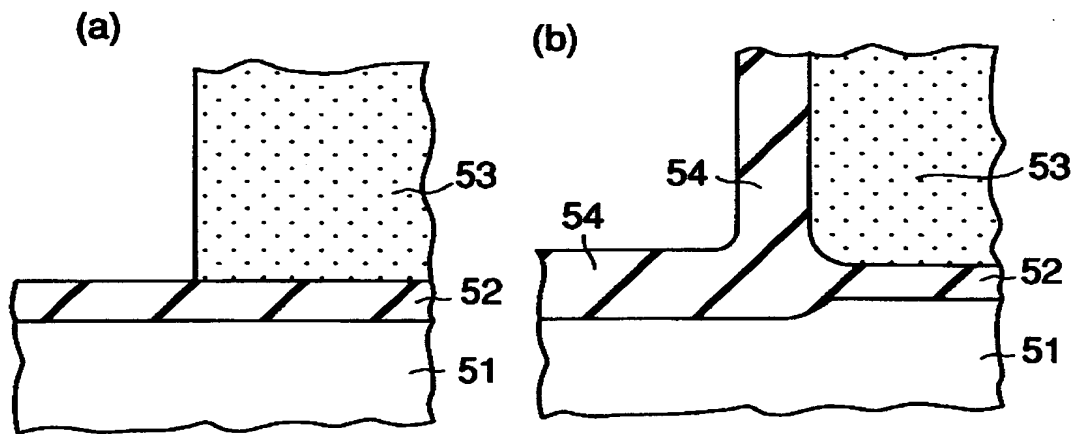
【図 5】



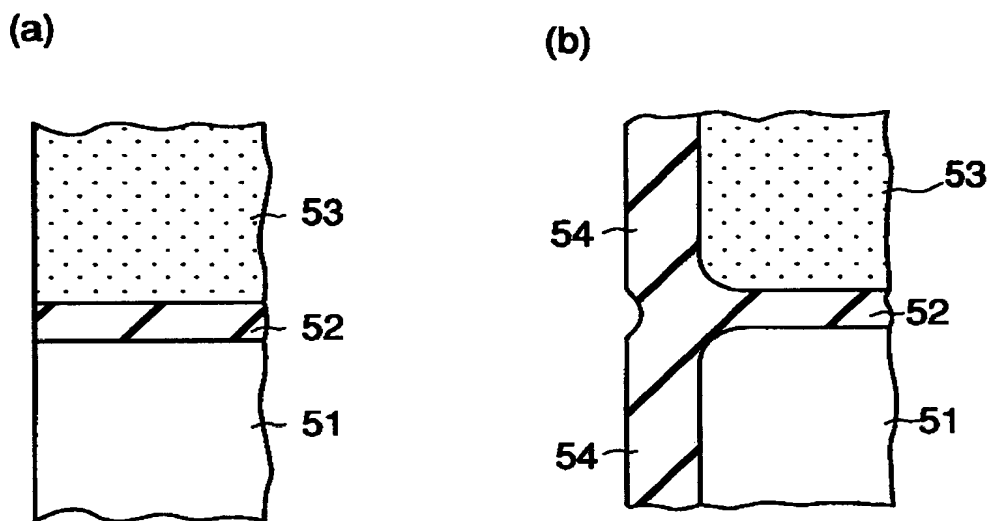
【図6】



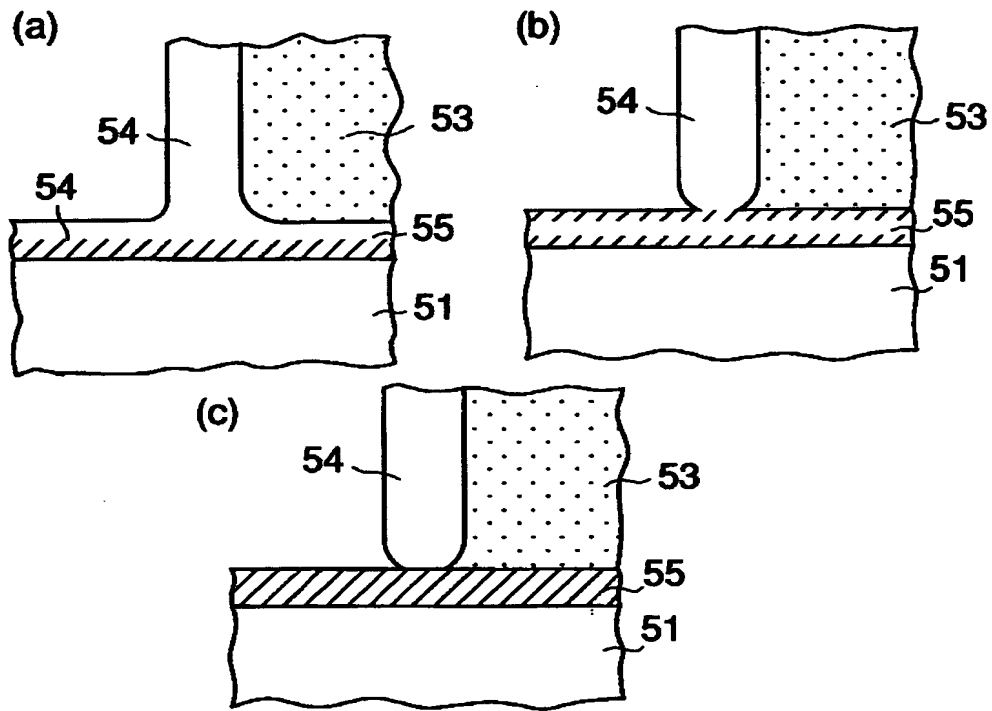
【図 7】



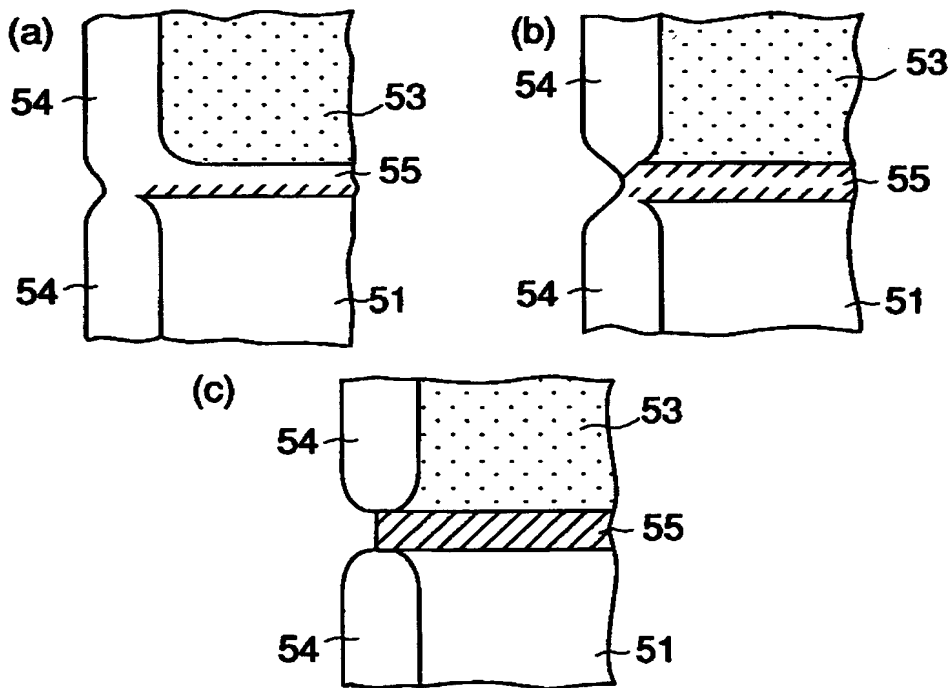
【図 8】



【図 9】



【図 1 0】



【書類名】 要約書

【要約】

【課題】 ゲート絶縁膜としてシリコン酸窒化膜、ゲート電極として導電性を有する多結晶シリコン膜を用いたMOSトランジスタの製造方法において、ゲート電極の下端部における電界を後酸化によって十分に緩和すること。

【解決手段】 オゾンを含む酸化種を用いた後酸化によって、ゲート電極3の下端部の形状を十分に丸める。

【選択図】 図 1



出 願 人 履 歴 情 報

識別番号 [000003078]

1. 変更年月日 1990年 8月22日

[変更理由] 新規登録

住 所 神奈川県川崎市幸区堀川町72番地
氏 名 株式会社東芝